

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-152101
 (43)Date of publication of application : 30.05.2000

BEST AVAILABLE COPY

(51)Int.Cl. H04N 5/44
 H03J 3/20

(21)Application number : 10-322300
 (22)Date of filing : 12.11.1998

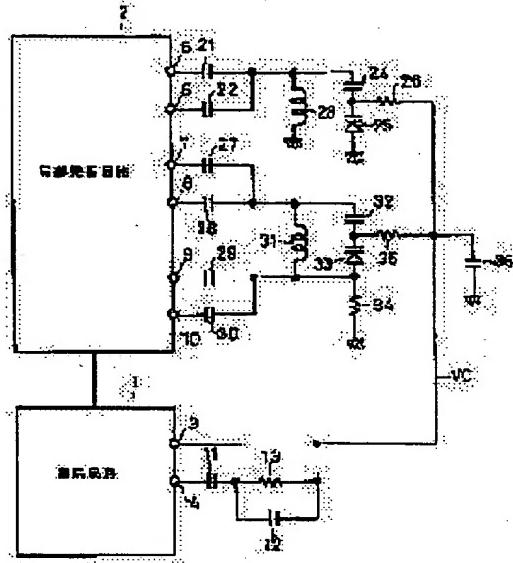
(71)Applicant : SONY CORP
 (72)Inventor : KASASHIMA YASUYUKI

(54) TUNER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce or eliminate a noise component due to a shock or vibration that gives effect on an image without revision of a structural layout relation.

SOLUTION: A low distortion capacitive element that is a bypass capacitor 36 is inserted between a supply line of a tuning voltage VC and ground, and a low distortion capacitive element is used for capacitors 11, 12 of a time constant circuit consisting of the capacitors 11, 12 and a resistor 13 that specifies an operating response of a channel selection circuit 1. Thus, a noise component caused by a shock or vibration can be suppressed, resulting in eliminating the effect of the noise component on an image.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

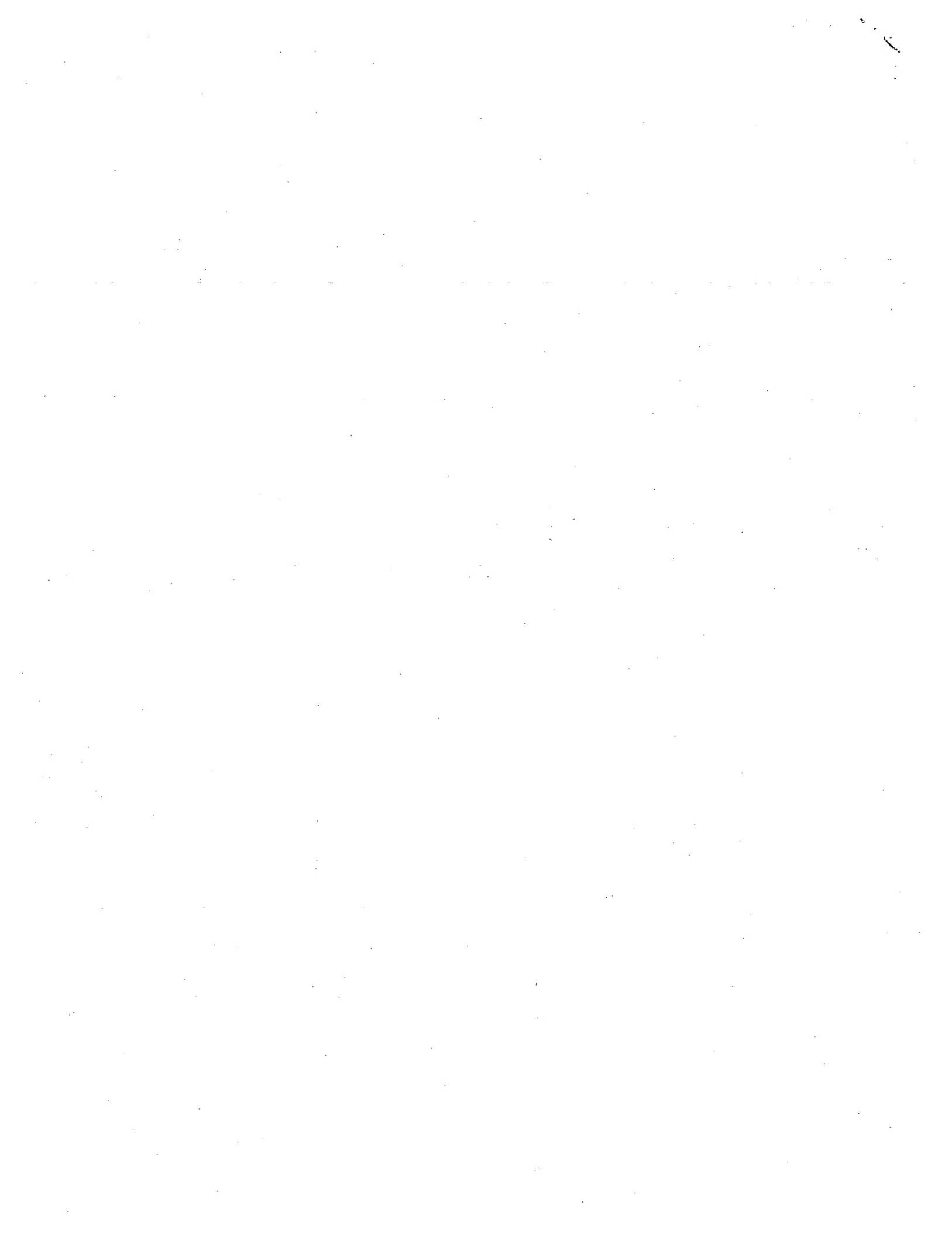
[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-152105

(P2000-152105A)

(43) 公開日 平成12年5月30日 (2000.5.30)

(51) Int Cl.

H 04 N 5/44
H 03 J 3/20

識別記号

F I

H 04 N 5/44
H 03 J 3/20

テマコード(参考)
K 5 C 0 2 5
5 K 0 5 8

審査請求 未請求 請求項の数3 ○ L (全4頁)

(21) 出願番号 特願平10-322300

(71) 出願人 000002185

(22) 出願日 平成10年11月12日 (1998.11.12)

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 笠嶋 靖之

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

(74) 代理人 100082762

弁理士 杉浦 正知

Fターム(参考) 5C025 AA25

5K058 AA02 AA20 AA23 BA02 CA05

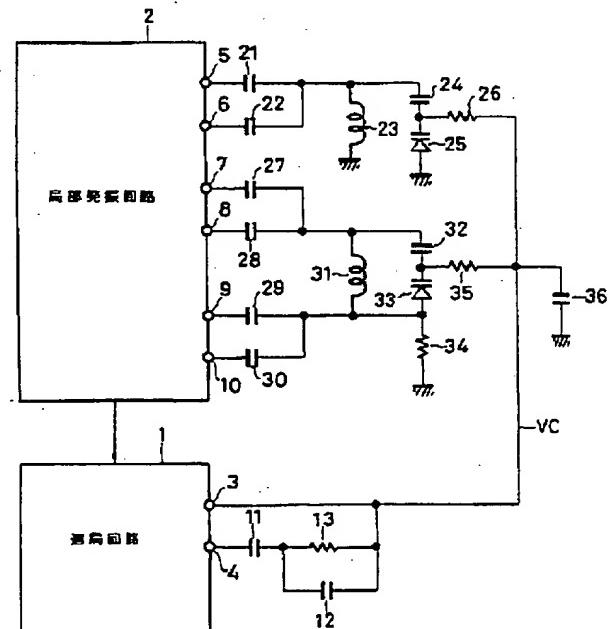
DA14 EA08

(54) 【発明の名称】 チューナ回路

(57) 【要約】

【課題】 構造的な配置関係を変更することなく、画像に影響を及ぼす打振や振動によるノイズ成分を軽減もしくは除去する。

【解決手段】 チューニング電圧VCの供給ラインと接地間に低歪み型の容量素子をバイパスコンデンサ36として挿入し、また、選局回路1の動作応答を規定する時定数回路のコンデンサ1.1、1.2に低歪み型の容量素子を用いる。このことにより打振や振動によるノイズ成分を抑圧し、結果として画像への影響を解消する。



【特許請求の範囲】

【請求項1】 選局周波数に応じたチューニング電圧を形成する選局回路と、上記選局回路において形成されたチューニング電圧により可変容量素子の容量を可変させて所定周波数にて発振する局部発振回路とを有したチューナ回路において、上記チューニング電圧の供給ラインに接続される容量素子に低歪み型の容量素子を用いることを特徴とするチューナ回路。

【請求項2】 請求項1において、上記チューニング電圧の供給ラインと接地間に挿入されるバイパスコンデンサが低歪み型の容量素子であることを特徴とするチューナ回路。

【請求項3】 請求項1において、上記チューニング電圧の供給ラインに接続され、上記選局回路の動作応答を規定する時定数回路に使用される容量素子が低歪み型の容量素子であることを特徴とするチューナ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、例えば、小型軽量の携帯型のテレビジョン受像機やVTR等に用いて好適な打振や振動による耐ノイズ性に優れたチューナ回路に関する。

【0002】

【従来の技術】 従来の一般的なテレビジョン受像機のチューナ回路においては、アンテナにて受信された受信信号が単回路を介して高周波増幅回路に供給される。高周波増幅回路において、受信信号が増幅され、この増幅出力が複回路を介して混合回路に供給される。混合回路には、局部発振回路からの局部発振信号が供給されており、混合回路において、受信信号が中間周波信号に変換される。この混合回路の出力が中間周波増幅回路を介してチューナ回路の出力として出力端子から取り出される。

【0003】 一方、従来のチューナ回路の選局回路としては、例えば、PLL (Phase Locked Loop) 周波数シンセサイザー方式が採用されている。選局回路は、選局周波数と正確に発振する水晶発振器の発振出力に基づいて形成された基準発振周波数と、局部発振回路の発振周波数との位相を位相比較し、その差がなくなるように同調周波数と局部発振周波数とを制御するチューニング電圧を制御信号として形成し、このチューニング電圧を同調回路および局部発振回路に供給する。

【0004】 また、局部発振回路としては、例えば、バラクタダイオードを用いたVCO (Voltage Controlled Oscillator) による電子同調方式とされ、局部発振回路は、上述した選局回路からのチューニング電圧によりバラクタダイオードの逆バイアス電圧を可変させて容量を可変させ、所定周波数の局部発振信号を形成する。

【0005】 このように構成される従来のチューナ回路においては、チューニング電圧の供給ラインに接続された容量素子が回路基板上の接地箇所に近接して実装されている場合には、打振や振動が加わると容易に容量素子に振動が伝わって容量の微小な変化が発生する。一例として、チタン酸バリウムを主成分とする高誘電率セラミックコンデンサは、非セラミックコンデンサに比べて信号の波形歪みが大きい。これは、セラミック材料の結晶構造的要因による。すなわち、外部応力を加えた場合に結晶の表面に分極電荷が発生し、これがショックノイズとなる。当然、容量が変化すると、チューニング電圧が変化し、さらには、局部発振周波数の微小なズレが発生し、その周波数のズレがノイズ成分となってテレビジョン受像機の画像に影響する。このように画像にも影響を及ぼす打振や振動によるノイズ成分に対して、従来のチューナ回路においては、容量素子の位置や接地箇所の位置を移動させたりして、構造的な配置関係を検討することで対処されていた。

【0006】

【0006】 【発明が解決しようとする課題】 しかしながら、上述した打振や振動によるノイズ成分に対する構造的な配置関係による対処法は、それが構造的なものによるため移動できる範囲に限界があり、また、構造的な配置関係の制約が発生すると、チューナ回路を小型化する上での阻害要因となる問題点があった。

【0007】 従って、この発明の目的は、構造的な配置関係を変更することなく、画像に影響を及ぼす打振や振動によるノイズ成分を解消することができるチューナ回路を提供することにある。

【0008】

【課題を解決するための手段】 以上の問題を解決するために、請求項1の発明は、選局周波数に応じたチューニング電圧を形成する選局回路と、選局回路において形成されたチューニング電圧により可変容量素子の容量を可変させて所定周波数にて発振する局部発振回路とを有したチューナ回路において、チューニング電圧の供給ラインに接続される容量素子に低歪み型の容量素子を用いることを特徴とするチューナ回路である。

【0009】 この発明では、チューニング電圧の供給ラインと接地間に低歪み型の容量素子がバイパスコンデンサとして挿入され、また、選局回路の動作応答を規定する時定数回路に低歪み型の容量素子が用いられる。このことにより、打振や振動によるノイズ成分が抑圧され、結果として画像への影響が解消される。

【0010】

【発明の実施の形態】 以下、この発明の一実施形態について図面を参照して説明する。図1は、この発明がテレビジョン受像機に適用された一実施形態の主要な部分の構成を示す。図1において1にて示されるのが選局回路であり、また、2で示されるのが局部発振回路である。

なお、選局回路1および局部発振回路2のそれぞれは、IC化されており、所定の端子3、4、5～10に外付け部品として各種インピーダンス素子を接続することで動作するように構成されている。

【0011】選局回路1は、例えば、PLL(Phase Locked Loop)周波数シンセサイザ方式による電子選局を行う構成とされている。具体的には、選局回路1は、図示せずも制御部からの選局周波数に対応した制御情報と正確に発振する水晶発振器の発振出力に基づいて形成された基準発振周波数と、後述する局部発振回路2の発振周波数との位相を位相比較し、その差がなくなるように同調周波数と局部発振周波数とを制御するチューニング電圧VCを形成する。この選局回路1において形成されたチューニング電圧VCが制御信号として端子3を介して取り出され、同調回路および局部発振回路2に供給される。

【0012】また、選局回路1の端子3には、並列接続されたコンデンサ12および抵抗13の一端が接続され、並列接続されたコンデンサ12および抵抗13の他端がコンデンサ11を介して端子4に接続されている。従って、コンデンサ11、12および抵抗13により時定数回路が構成され、この時定数回路を介して端子3からのチューニング電圧VCが選局回路1に取り込まれ、選局回路1の動作応答が規定される。例えば、選局回路1は、チューニング電圧VCの形成手段としてスイッチ回路、ダイオードおよびコンデンサ等からなるチャージポンプ回路を有しており、コンデンサ11、12および抵抗13が時定数回路として作用する。この時定数回路を構成するコンデンサ11、12に低歪み型の容量素子が用いられている。一例として、チタン酸ストロンチウムを主成分とする積層コンデンサの場合、チタン酸バリウムを主成分とするセラミックコンデンサと比較して、常温付近では、完全な立方晶系となり安定しているため、外部応力を加えても、Ti、Oの変位が小さく、ショックノイズが発生しにくい。かかる低歪積層セラミックコンデンサを使用することができる。

【0013】局部発振回路2は、例えば、バラクタダイオードを用いたVCOによる電子同調方式とされ、VHF発振部とUHF発振部との二つの発振部にて構成されている。図1に示すように帰還用のコンデンサ21、22と、局部発振用のコンデンサ24、コイル23、バラクタダイオード25と、抵抗26とにより構成される側がVHF発振部である。局部発振回路2の端子5にコンデンサ21の一端が接続され、端子6にコンデンサ22の一端が接続される。コンデンサ21および22の他端が接続され、このコンデンサ21および22の共通接続点と接地間にコイル23が挿入されると共に、コンデンサ24の一端が接続される。コンデンサ24の他端とアノードが接地されたバラクタダイオード25のカソードが接続される。このコンデンサ24とバラクタダイオード

との接続点に抵抗26の一端が接続され、抵抗26の他端が前述した選局回路1の端子3と接続される。

【0014】一方、図1に示すように帰還用のコンデンサ27、28、29、30と、局部発振用のコンデンサ32、コイル31、バラクタダイオード33と、抵抗34、35とにより構成される側がUHF発振部である。局部発振回路2の端子7にコンデンサ27の一端が接続され、端子8にコンデンサ28の一端が接続される。コンデンサ27および28の他端が接続され、このコンデンサ27および28の共通接続点にコイル31の一端が接続されると共に、コンデンサ32の一端が接続される。また、局部発振回路2の端子9にコンデンサ29の一端が接続され、端子10にコンデンサ30の一端が接続される。コンデンサ29および30の他端が接続され、このコンデンサ29および30の共通接続点にコイル31の他端が接続されると共に、バラクタダイオード33のアノードが接続され、さらに、コンデンサ29および30の共通接続点と接地間に抵抗34が挿入される。コンデンサ32の他端とバラクタダイオード33のカソードが接続され、このコンデンサ32とバラクタダイオードとの接続点に抵抗35の一端が接続され、抵抗35の他端が前述した選局回路1の端子3と接続される。

【0015】このように各素子が接続され、抵抗26および35の共通接続点と選局回路1の端子3との間にチューニング電圧VCの供給ラインが形成されている。このチューニング電圧VCの供給ラインと接地間には、バイパスコンデンサ36が挿入され、このバイパスコンデンサ36として低歪み型の容量素子が用いられている。

【0016】従って、局部発振回路2は、選局回路1からの制御信号(チューニング電圧VC)によりバラクタダイオードの逆バイアス電圧を可変させて容量を可変させ、所定周波数の局部発振信号を形成する。局部発振回路2において形成された局部発振信号が図示せずも混合回路に供給される。なお、混合回路には、アンテナにて受信された受信信号が単同調回路、高周波増幅回路および複同調回路を介して供給されており、混合回路において、受信信号が中間周波信号に変換される。この混合回路の出力が中間周波増幅回路を介してチューナ回路の出力として出力端子から取り出される。

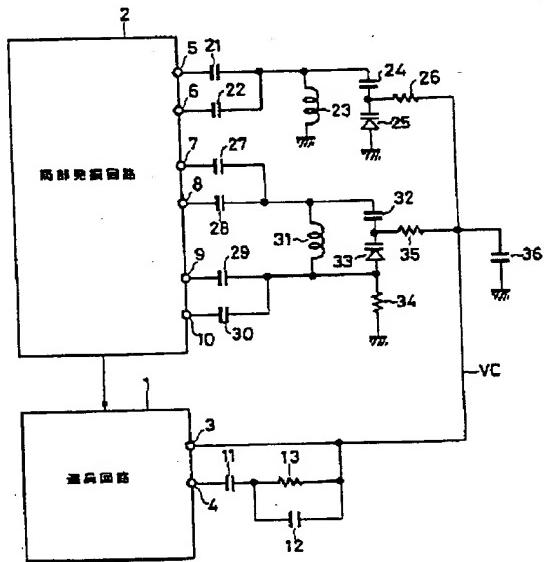
【0017】また、打振や振動が加えられた場合においては、チューニング電圧VCの供給ラインと接地間のバイパスコンデンサ36に低歪み型の容量素子が用いられ、また、選局回路の動作応答を規定する時定数回路に低歪み型の容量素子が用いられるため、発振周波数のズレが抑圧され、結果として画像への影響が解消され、良好な画像が表示される。

【0018】図2Aに従来のチューナ回路に打振や振動が加えられた時の局部発振信号の様子を示し、図2Bにこの発明によるチューナ回路に打振や振動が加えられた

時の局部発振信号の様子を示す。なお、図2Aおよび図2Bにおける横軸が周期を示し、縦軸が信号レベルを示す。図2Aに示すように従来のチューナ回路では、打振や振動が加えられた時に設定周波数に対して+150 kHz (図中a～c間) ～-200 kHz (図中b～a間) の変動が発生する。しかしながら、この発明によるチューナ回路によれば、同一条件下において、設定周波数に対して+40 kHz (図中a'～c') ～-50 kHz (図中b'～a') の変動しか発生せず、約1/4にその影響が抑制される。このように打振や振動が加えられた時に設定周波数に対する変動が抑制されるのは、機械的ストレスに対して低歪み型の容量素子の方が強く、打振や振動が加えられた際の容量変化率が小さいためである。

【0019】なお、上述した一実施形態においては、テレビジョン受像機のチューナ回路にこの発明を適用した場合について説明したが、他の機器のチューナ回路にこの発明は容易に適用することができ、特に、小型軽量な携帯型の機器にこの発明を適用した場合に効果がさらに有効となる。

【図1】



【0020】

【発明の効果】この発明に依れば、所定箇所のコンデンサに低歪み型の容量素子が用いられるため、構造的な配置関係を変更することなく、画像に影響を及ぼす打振や振動によるノイズ成分を解消することができ、画質の向上を図ることができる。また、この発明に依れば、容量素子の位置や接地位置の構造的な配置関係の規制をなくすことができるため、設計時における自由度を上げることができ、小型化を図ることが可能となる。

【図面の簡単な説明】

【図1】この発明の一実施形態の主要な部分の構成を示すブロック図である。

【図2】この発明の一実施形態の動作説明に用いる略線図である。

【符号の説明】

1・・・選局回路、2・・・局部発振回路、11, 12, 36・・・低歪み型の容量素子、25, 33・・・バラクタダイオード

【図2】

